

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020050003010 A
(43)Date of publication of application: 10.01.2005

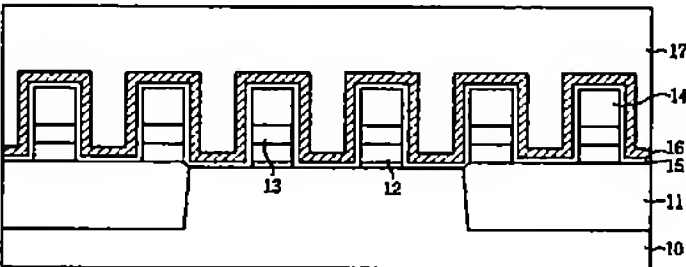
(21)Application number:	1020030043136	(71)Applicant:	HYNIX SEMICONDUCTOR INC.
(22)Date of filing:	30.06.2003	(72)Inventor:	AHN, SANG TAE SHEEN, DONG SUN SONG, SEOK PYO
(30)Priority:	..		
(51)Int. Cl	H01L 21/31		

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE CAPABLE OF IMPROVING DENSIFICATION OF FLUIDITY INSULATING LAYER AS INTERLAYER DIELECTRIC

(57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is provided to reduce contact resistance and to remove effectively defects by improving densification of a fluidity insulating layer.

CONSTITUTION: Gate electrodes(12) are formed on a semiconductor substrate(10). A gate passivation layer(15) is formed on the gate electrode to prevent oxidation of the gate electrode. A polysilicon layer (16) is formed on the gate passivation layer. A fluidity insulating layer (17) is filled between the gate electrodes. Annealing is then performed in order to densify the fluidity insulating layer and to oxidize the polysilicon layer.



copyright KIPO 2005

Legal Status

Date of request for an examination (20030630)

Notification date of refusal decision ()

Final disposal of an application (registration)

Date of final disposal of an application (20050720)

Patent registration number (1005054470000)

Date of registration (20050725)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

10-2005-0003010

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/31

(11) 공개번호 10-2005-0003010
(43) 공개일자 2005년01월10일

(21) 출원번호	10-2003-0043136
(22) 출원일자	2003년06월30일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 안상태 경기도이천시대월면사동리441-1현대전자사원아파트101-605 신동선 경기도용인시수지읍죽전동현암마을동성2차아파트206-1208 송석표 서울특별시관악구봉천동1001번지관악현대아파트119-307
(74) 대리인	특허법인 신성

심사청구 : 있음

(54) 유동성 절연막의 치밀도를 향상시킨 반도체 소자의 제조방법

요약

본 발명은 중간절연막으로 사용된 유동성 절연막의 치밀도를 향상시킨 반도체 소자의 제조방법에 관한 것이다. 이를 위한 본 발명은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극의 산화를 방지하기 위하여 상기 게이트 전극 상에 게이트 보호막을 형성하는 단계; 상기 게이트 보호막 상에 폴리실리콘막을 형성하는 단계; 상기 폴리실리콘막을 포함하는 게이트 패턴을 매립하는 유동성 절연막을 형성하는 단계; 및 상기 유동성 절연막의 치밀화 및 상기 폴리실리콘막을 산화시키기 위한 열처리 공정을 진행하는 단계를 포함하여 이루어진다.

대표도

도2

색인어

유동성 절연막, 저온 중간절연막, 치밀화, 부피수축, 산화

명세서

도면의 간단한 설명

도1은 유동성 절연막의 치밀화 상태를 비교하여 도시한 도면,
도2는 본 발명의 일실시예에 따른 반도체 소자 제조방법을 도시한 공정단면도,
도3은 본 발명의 일실시예에 따른 반도체 소자 제조방법에 대한 공정 순서도.

도면의 주요부분에 대한 부호의 설명

- 10 : 기판
- 11 : 트렌치 소자분리막
- 12 : 게이트 폴리실리콘
- 13 : 텅스텐
- 14 : 하드마스크 질화막

- 15 : 보호막
 16 : 폴리실리콘
 17 : 유동성 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 층간절연막으로 저온에서 증착되는 유동성 절연막을 사용하는 경우에, 상기 유동성 절연막의 치밀도를 향상시킨 반도체 소자의 제조방법에 관한 것이다.

반도체 소자의 고 집적화에 따라 큰 단차를 갖는 좁은 간격의 패턴 사이를 내부 보이드(void) 없이 절연막으로 채우는 공정이 반도체 소자 제조에 중요한 기술 중의 하나로 대두되고 있다.

특히, 게이트 전극 형성후 증착되는 층간절연막(ILD 1)의 경우를 살펴보면 미세패턴을 매립하는 매립특성 이외에도, 다음과 같은 점이 고려되어야 한다.

먼저, 층간절연막(ILD 1)을 형성하는 공정에서 고온의 열 공정이 적용되어야만 한다면, 이미 이온주입된 도판트(dopant)들이 확산하기 때문에 소자 특성이 저하된다. 따라서 되도록이면, 고온 열 공정을 수반하지 않는 층간절연막을 채택하는 것이 바람직하다.

또한, 금속(metal) 게이트를 적용하는 경우에는 과도한 스트레스의 원인이 된다.

종래에 많이 적용되고 있는 층간절연막으로는 BPSG(Boron Phosphorus Silicate Glass : 이하, BPSG) 막을 들 수 있다. BPSG 막은 갭필 특성은 우수하지만, 후속 플로우 공정에서 고온 열공정이 수반되어야만 하기 때문에, 전술한 문제점들이 발견되었다.

이러한 BPSG 막 외에 HDP CVD(고밀도 플라즈마 화학기상증착법) 방법으로 층간절연막을 형성하는 방법이 있다. 이 방법에서는 매립특성이 우수한 HDP 산화막을 이용하여 좁은 패턴 사이를 매립하고, 그 후에 화학 기계연마(Chemical Mechanical Polishing : CMP) 공정으로 표면을 평탄화 시키고 있으나, 이 방법 역시 패턴 매립특성의 한계, 플라즈마로 인한 데미지(damage) 및 패턴의 모서리 부분이 어택(attack)을 받는 등의 문제점을 가지고 있다.

최근에는 전술한 문제점들을 해결하기 위하여, 저온에서 증착이 가능하며, 좁은 패턴 사이의 간격을 내부 보이드(void) 없이 채우는 절연막으로 유동성 절연막에 대한 연구가 많이 진행되고 있다.

유동성 절연막은 액체상태의 절연막을 도포하므로, 미세패턴 사이의 좁은 간격도 내부 보이드 없이 채울 수 있는 장점이 있으며, 또한 기존의 BPSG 막에 비하여 평탄화 특성도 우수하다.

이러한, 유동성 절연막을 이용하여 층간절연막을 형성하는 방법으로는 SiH_4 , H_2O_2 , H_2O 등의 반응소스를 이용하여 $-10 \sim 100^\circ\text{C}$ 사이의 저온에서 패턴사이를 매립하는 비도핑(undoped) 층간절연막을 형성하는 방법이 있으며, 또는 silicate, siloxane, methyl silsequioxane(MSQ), hydrogen silsequioxane(HSQ), MQS + HSQ, perhydrosilazane(TCPS), polysilazane 등의 케미컬(chemical)을 이용하여 스피ن 코팅(spin coating) 방식으로 층간절연막을 형성하는 SOD(Spin On Dielectrics) 방법이 있다.

전술한 방법들을 이용하여 유동성 절연막을 증착하고 열처리를 실시하면, 유동성 절연막 내에 존재하는 불순물이 제거되고, 어느정도 부피 수축이 발생하여 유동성 절연막의 막질이 치밀화 된다.

하지만, 게이트 패턴과 같이 고 단차이며 좁은 간격을 갖는 패턴을 유동성 절연막으로 매립하는 경우에는, 상기 게이트 패턴이 유동성 절연막의 부피수축을 방해하기 때문에 치밀화가 충분히 이루어 지지 않는 단점이 있다. 즉, 게이트 패턴이 유동성 절연막의 부피 수축을 방해하여 더 이상 치밀화가 되지 못하고, 유동성 절연막은 다공성 막으로 존재하게 된다.

도1은 치밀화가 충분히 이루어져 있어 세정공정 이후에도 양호한 상태를 유지하고 있는 유동성 절연막의 모습(a)과, 치밀화가 충분치 못해 후속 세정공정에서 쉽게 떨어져 나간 유동성 절연막의 모습(b)을 도시한 도면이다.

이와같이 치밀화가 충분히 이루어지지 않은 경우에는, 후속 세정공정에서 유동성 절연막이 쉽게 떨어져 나가게 되며, 따라서 소자제조에 적용하기에는 많은 제약이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 유동성 절연막의 치밀도를 향상시킨 반도체 소자의 제조방법을 제공함을 그 목적으로 한다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극의 산화를 방지하기 위하여 상기 게이트 전극 상에 게이트 보호막을 형성하는 단계; 상기 게이트 보호막 상에 폴리실리콘막을 형성하는 단계; 상기 폴리실리콘막을 포함하는 게이트 패턴을 매립하는 유동성 절연막을

형성하는 단계; 및 상기 유동성 절연막의 치밀화 및 상기 폴리실리콘막을 산화시키기 위한 열처리 공정을 진행하는 단계를 포함하여 이루어진다.

본 발명은 폴리실리콘막이 산화되면서 부피가 팽창하는 성질을 이용하여 게이트 패턴 사이를 매립하고 있는 유동성 절연막의 치밀도를 향상시킨 발명이다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

도2는 본 발명의 일실시예에 따라 형성된 반도체 소자의 단면을 도시한 도면으로, 게이트 전극 및 그를 덮고 있는 유동성 절연막 등을 도시한 도면이다. 도2를 참조하여 본 발명의 일실시예에 따른 반도체 소자 제조방법을 설명하면 다음과 같다.

먼저, 반도체 기판(10) 상의 일정영역에 활성영역과 필드영역을 정의하는 트렌치 소자분리막(11)을 형성한다. 다음으로, 게이트 산화막(미도시), 게이트 폴리실리콘(12), 텅스텐(13) 및 하드마스크 질화막(14)이 적층된 구조의 게이트 전극을 형성한다. 여기서, 텅스텐 대신 텅스텐 실리사이드를 사용할 수도 있다.

이어서, 도면에는 도시되어 있지 않지만, 선택적 산화공정(selective oxidation)을 진행한 후, 게이트 전극의 측벽에 게이트 스페이서(미도시)를 형성한다.

다음으로 트랜지스터의 소스/드레인 영역을 형성하기 위한 이온주입공정 및 기타의 공정을 진행한다. 여기까지의 공정은 통상적인 반도체 제조공정과 유사하다.

이어서, 전체 구조상에 게이트 보호막(15)을 형성한다. 게이트 보호막(15)은 후속 폴리실리콘 산화공정에서 게이트 전극이 산화되는 것을 방지하는 역할을 하며, 이러한 게이트 보호막(15)의 두께는 20 ~ 500 Å 인 것이 바람직하다.

게이트 보호막(15)으로는 질화막 또는 산화막이 사용될 수 있으며, 질화막과 산화막이 여러층 적층된 구조를 이용하여 게이트 전극을 확실하게 보호할 수도 있다.

또는, 게이트 보호막으로 질화막을 증착한 이후에, 건식식각을 적용하여 게이트 전극의 측벽에만 게이트 보호막을 잔존시킬 수도 있다. 이와같은 방법을 통해 후속 유동성 절연막 증착시에 갭필 특성을 향상시킬 수 있다.

다음으로, 게이트 보호막 상에 폴리실리콘(16)을 증착한다. 폴리실리콘(16)은 후속 산화공정을 통해 산화되며, 이때 폴리실리콘의 부피가 팽창하게 된다. 이러한 폴리실리콘(16)의 부피팽창은 게이트 패턴 사이를 매립하고 있는 유동성 절연막(17)의 부피 수축을 도와주어 유동성 절연막(17)의 치밀도를 높인다.

이때, 상기 폴리실리콘(16)에 보론(boron) 또는 인(phosphorous)을 도핑하여 후속 유동성 절연막과 반응시켜 PSG, BSG, BPSG 같은 막을 형성할 수도 있다.

그리고, 폴리실리콘(16)을 증착한 후에 건식식각법을 적용하면 게이트 전극의 측벽에만 폴리실리콘(16)이 잔존하는데, 이와같은 방법을 이용하여 리프팅 현상을 방지할 수 있다.

즉, 폴리실리콘 증착후, 건식식각법을 적용하면 게이트 전극의 측벽에만 폴리실리콘이 잔존하게 된다. 따라서 후속 산화공정이 수행되더라도, 게이트 패턴 사이의 좁은 영역에서만 폴리실리콘(16)의 산화로 인한 부피팽창이 발생하고 나머지 영역에서는 부피팽창이 방지되므로 리프팅(lifting) 현상을 억제할 수 있다.

다음으로 폴리실리콘(16)을 포함하는 전체 구조상에 유동성 절연막(17)을 증착한다.

본 발명의 일실시예에서 사용된 유동성 절연막 형성방법으로는 silicate, siloxane, methyl silsequioxane(MSQ), hydrogen silsequioxane(HSQ), MQS + HSQ, perhydrosilazane(TCPS), polysilazane 등의 케미컬(chemical)을 이용하여 스피ن 코팅(spin coating) 방식으로 층간절연막을 형성하는 SOD(Spin On Dielectrics) 방법이 적용될 수 있다.

그 외에도, SiH_4 , H_2O_2 , H_2O , O_2 , N_2O , $\text{SiH}_x(\text{CH}_3)_y$ (여기서 $0 \leq x \leq 4$, $0 \leq y \leq 4$) 등의 반응소스를 이용하여 $-10 \sim 150^\circ\text{C}$ 사이의 온도, 10m ~ 100 Torr의 압력에서 유동성 절연막을 1000 ~ 20000 Å의 두께로 증착할 수도 있다.

이와같이 유동성 절연막을 증착한 이후에, 유동성 절연막의 치밀화 및 폴리실리콘을 산화시키기 위해 O_3 , N_2O , H_2+O_2 를 포함하는 가스 분위기에서 300 ~ 850°C의 온도로 30초 내지 10분 정도의 열산화를 실시한다.

이와같은 열처리를 통해 유동성 절연막의 막질은 어느정도 치밀화되며, 또한 폴리실리콘의 부피가 팽창(산화 때문에)하게 된다. 따라서, 폴리실리콘(16)의 부피가 팽창함에 따라 게이트 패턴 사이를 매립하고 있는 유동성 절연막(17)은 그 부피가 수축되므로, 유동성 절연막의 치밀도가 향상된다.

도3은 본 발명의 일실시예에 따른 반도체 소자 제조방법의 공정순서를 도시한 플로우 차트로서 이를 참조하면, 다음과 같다.

- (31) 기판 상에 게이트 패턴을 형성한다.
- (32) 선택산화, 이온주입 스페이서 형성 등 기타공정을 진행한다.
- (33) 게이트 보호막을 증착한다.(후속 산화공정에서 게이트 산화를 방지)
- (34) 폴리실리콘을 증착한다.

(35) 유동성 절연막을 형성한다.

(36) 열처리 공정으로 폴리실리콘을 산화시킨다.

이와같은 본 발명의 일실시에에 따른 반도체 소자 제조방법은 기존의 장비를 이용하여 수행될 수 있으며, 신규장비가 필요없다. 또한, 본 발명을 적용하면 치밀한 유동성 절연막을 형성할 수 있기 때문에 후속 세정공정에서의 마진 확보가 가능하며, 이에 따라 콘택 저항 및 결함(defect) 제거 능력이 향상된다.

또한, 좁은 패턴사이를 내부 보이드 없이 매립할 수 있으며, 저온공정으로 중간절연막이 형성되므로, 도판트 확산을 막을 수 있어 집적도가 증가할 수 있다. 그리고, 종래의 BPSG 막 보다 평탄화 특성이 우수한 중간절연막을 얻을 수 있어 후속 포토 공정에서의 공정마진을 향상시킬 수 있다.

이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

본 발명을 적용하면 첫째, 치밀한 유동성 절연막을 형성할 수 있기 때문에 후속 세정공정에서의 마진 확보가 가능하기 때문에 콘택저항 감소 및 결함(defect) 제거능력이 향상된다. 둘째, 좁은 패턴사이를 내부 보이드 없이 매립할 수 있으며, 저온공정으로 중간절연막이 형성되므로, 도판트 확산을 막을 수 있어 집적도가 증가할 수 있다. 셋째, 종래의 BPSG 막 보다 평탄화 특성이 우수한 중간절연막을 얻을 수 있어 후속 포토 공정에서의 공정마진을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극의 산화를 방지하기 위하여 상기 게이트 전극 상에 게이트 보호막을 형성하는 단계;

상기 게이트 보호막 상에 폴리실리콘막을 형성하는 단계;

상기 폴리실리콘막을 포함하는 게이트 패턴을 매립하는 유동성 절연막을 형성하는 단계; 및

상기 유동성 절연막의 치밀화 및 상기 폴리실리콘막을 산화시키기 위한 열처리 공정을 진행하는 단계를 포함하는 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 열처리 공정을 진행하는 단계는,

O₃, N₂O, H₂+O₂ 를 포함하는 가스 분위기에서 300 ~ 850℃ 의 온도로 30초 내지 10분 정도 수행되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제 2 항에 있어서,

상기 유동성 절연막을 형성하는 단계는,

silicate, siloxane, methyl silsequioxane(MSQ), hydrogen silsequioxane(HSQ), MQS + HSQ, perhydrosilazane(TCPS), polysilazane 와 같은 케미컬을 이용하여 스펀코팅(spin coating) 방식으로 형성하는 SOD(Spin On Dielectrics) 방법인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4

제 2 항에 있어서,

상기 유동성 절연막을 형성하는 단계는,

반응소스로 SiH₄, H₂O₂, H₂O, O₂, N₂O, SiH_x(CH₃)_y 를 이용하며, -10 ~ 150℃ 사이의 온도, 10m ~ 100 Torr 의 압력에서 1000 ~ 20000Å 의 두께로 유동성 절연막을 증착하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5

제 2 항에 있어서,

상기 폴리실리콘막을 형성하는 단계는,

상기 게이트의 측벽에만 상기 폴리실리콘막을 잔존시키기 위해 건식식각을 진행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제 2 항에 있어서,

상기 보호막은 산화막 또는 질화막으로 형성되어 있거나 또는 산화막과 질화막이 여러층 적층된 것을 특징으로 하는 반도체 소자의 제조방법.

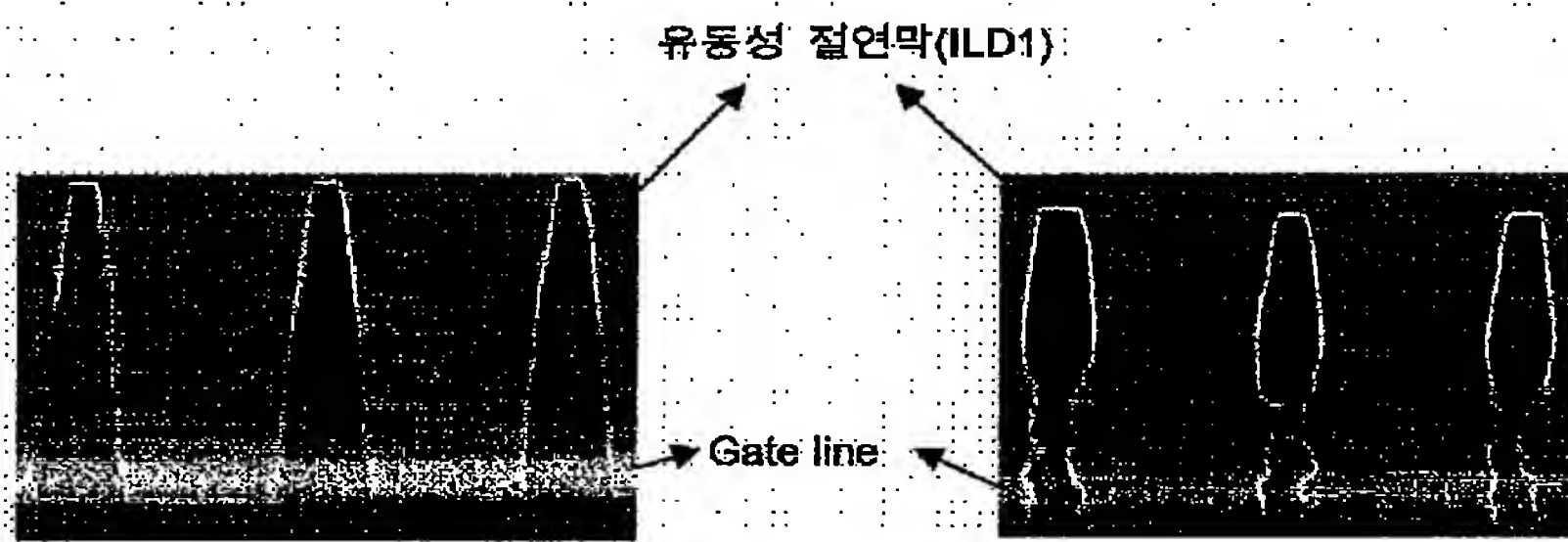
청구항 7

제 2 항에 있어서,

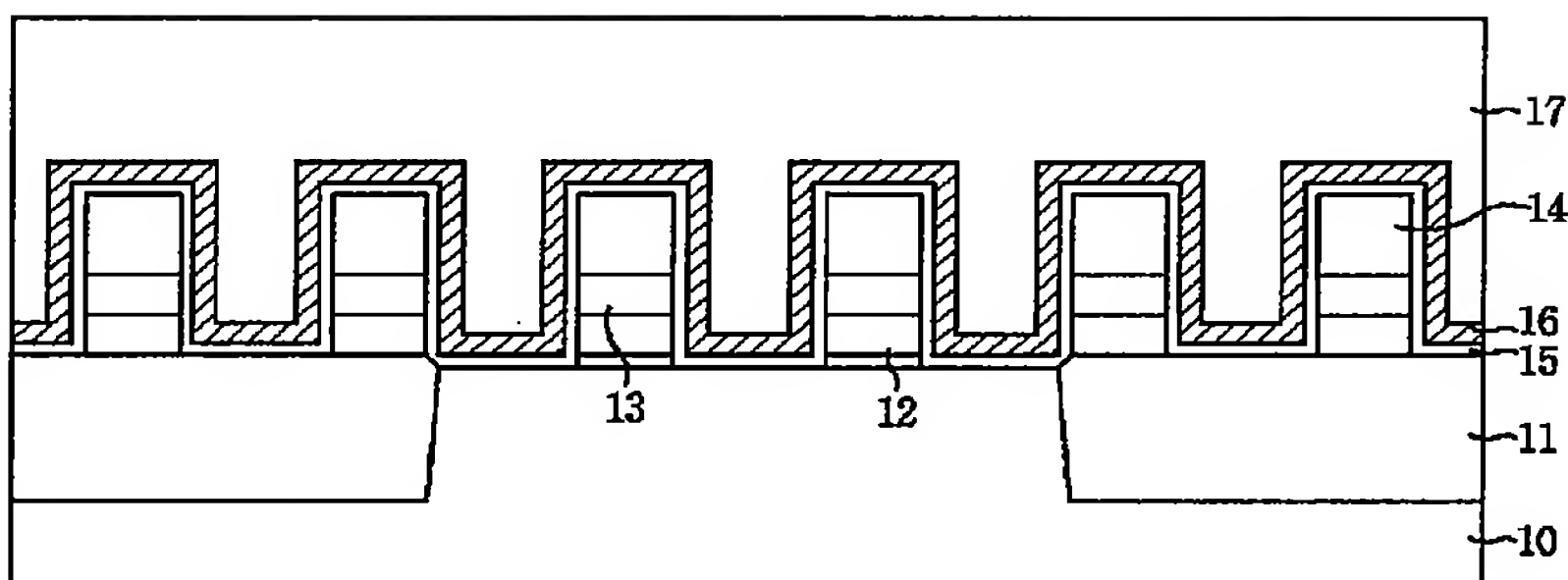
상기 폴리실리콘을 증착하고 도핑하는 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 제조방법.

도면

도면1



도면2



도면3

